

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-215602

(43)Date of publication of application : 24.08.1993

(51)Int.CI.

G01J 1/44

G01J 1/46

H04N 1/028

(21)Application number : 04-013031

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 28.01.1992

(72)Inventor : TSURUTA YOSHIO
YOKOYAMA SHOTARO

(30)Priority

Priority number : 03129477 Priority date : 31.05.1991 Priority country : JP
03326193 10.12.1991

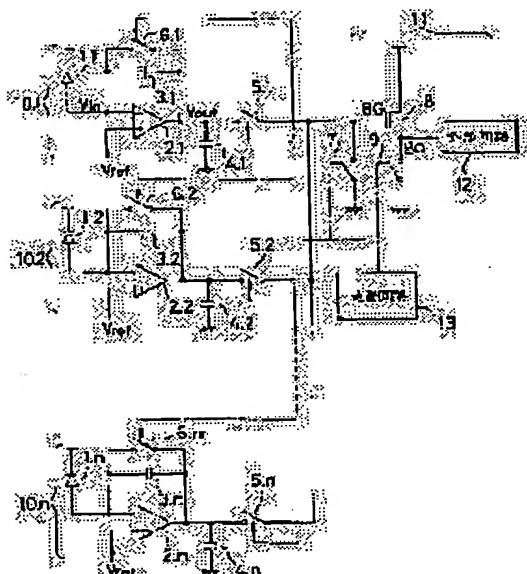
JP

(54) OPTICAL SENSOR AND OPTICAL SENSOR UNIT USING THE SAME

(57)Abstract:

PURPOSE: To make it possible to sustain linear optoelectric conversion characteristics upto a low quantity of light region by converting photocurrent, delivered from an optoelectric converting means such as a photodiode, into a voltage by means of a differential amplifier and an integrating capacitor.

CONSTITUTION: The optical sensor comprises a photodiode 1, an operational amplifier 2 having an inverted input receiving an output from the photodiode 1 and a non-inverted input receiving a voltage reference Vref, an integrating capacitor 3 connected in parallel with the operational amplifier 2 and connecting the output from the photodiode 1 with the output from the operational amplifier 2, a capacitor 4, and an output switch 5. In accordance with the quantity of light, the optoelectric converting means (photodiode 1) produces charges which are led to the input side of a differential amplifier circuit(circuit employing a CMOS) and then the charges are stored in the integrating capacitor 3 connected in parallel with the differential amplifier circuit. Consequently, a constant potential is kept at the input side of the differential amplifier circuit and the variation at the output side thereof is amplified and outputted therefrom.



LEGAL STATUS

[Date of request for examination]

16.12.1997

[Date of sending the examiner's decision of
rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-215602

(43)公開日 平成5年(1993)8月24日

(51)Int.Cl.⁵
G 0 1 J 1/44
E 8117-2G
1/46
8117-2G
H 0 4 N 1/028
A 9070-5C

F I

技術表示箇所

審査請求 未請求 請求項の数12(全 17 頁)

(21)出願番号 特願平4-13031
(22)出願日 平成4年(1992)1月28日
(31)優先権主張番号 特願平3-129477
(32)優先日 平3(1991)5月31日
(33)優先権主張国 日本 (JP)
(31)優先権主張番号 特願平3-326193
(32)優先日 平3(1991)12月10日
(33)優先権主張国 日本 (JP)

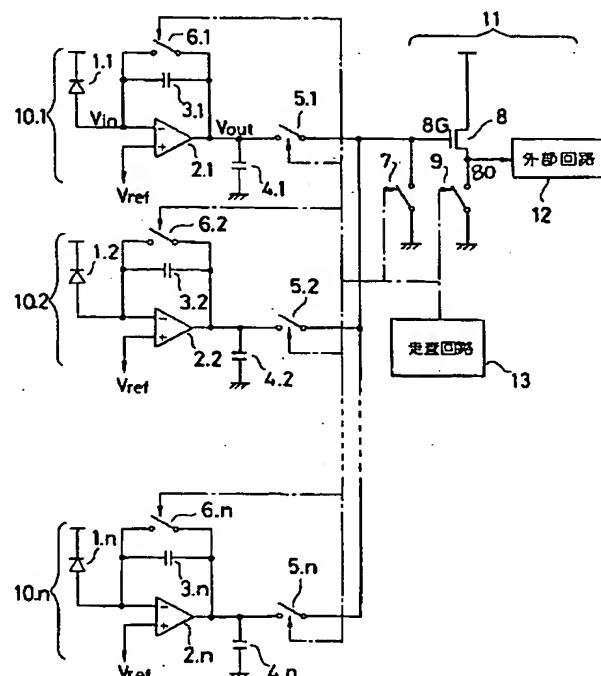
(71)出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72)発明者 鶴田 芳雄
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 横山 章太郎
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 光センサーおよびこれを用いた光センサー装置

(57)【要約】

【目的】 半導体を用いた光センサー装置において、光量の少ない領域においても線形性が確保でき、応答時間の早い光センサー装置を実現する。

【構成】 フォトダイオード1.1の光電流を、オペアンプ2.1と共に並列に接続された積分容量3.1を用いて蓄積することにより、光電流に比例する電圧出力をオペアンプ2.1の出力から得ることができる。このため、線形性の優れたフォトダイオードを用いて光センサー装置を構成することが可能となる。



【特許請求の範囲】

【請求項1】 光量に応じて電荷を発生する光電変換手段と、この電荷が一定時間蓄積された電位変動を光出力電位として出力する積分手段と、この光出力電位を初期化する電位設定手段とを有する光センサーであって、前記積分手段は、前記光電変換手段の出力を入力として所定の基準電圧に対し作動する差動增幅回路と、この差動增幅回路の出入力間に並列に接続された積分容量とを備えていることを特徴とする光センサー。

【請求項2】 請求項1において、前記光電変換手段は、フォトダイオードであることを特徴とする光センサー。

【請求項3】 請求項1または2において、前記差動增幅回路は、CMOS回路により構成されていることを特徴とする光センサー。

【請求項4】 請求項1ないし3のいずれかにおいて、前記差動增幅回路は、CMOSにより構成された比較回路であることを特徴とする光センサー。

【請求項5】 請求項1ないし4のいずれかにおいて、前記電位設定手段は、前記差動增幅回路の出入力間に並列に接続されたスイッチ回路であることを特徴とする光センサー。

【請求項6】 請求項1ないし5のいずれかの項に記載の複数の光センサーと、これらの光センサーからの前記光出力電位が順次入力されるバッファ回路とを有する光センサー装置であって、このバッファ回路が、前記光出力電位がゲート電極に印加される出力用FETを備えていることを特徴とする光センサー装置。

【請求項7】 請求項1ないし5のいずれかの項に記載の複数の光センサーと、これらの光センサーからの前記光出力電位が順次入力されるバッファ回路とを有する光センサー装置であって、このバッファ回路が、前記光出力電位が入力される伝達容量と、この伝達容量の出力に生ずる伝達電位を初期化する伝達電位初期化手段とを備えていることを特徴とする光センサー装置。

【請求項8】 請求項7において、前記伝達電位初期化手段は、前記光出力電位の初期化時に先立って前記伝達電位を初期化する電位変換初期化手段であることを特徴とする光センサー装置。

【請求項9】 請求項7または8において、前記バッファ回路は前記伝達電位がゲート電位に印加される出力用FETを備えており、前記伝達電位初期化手段は、前記伝達電位を前記出力用FETの閾値電位に初期化する閾値電位設定手段であることを特徴とする光センサー装置。

【請求項10】 請求項9において、前記閾値電位設定手段は、出力用FETと同じ構成の電位設定用FETであり、この電位設定用FETのドレインがゲート電極と短絡していることを特徴とする光センサー装置。

【請求項11】 請求項6、9および10のいずれかに

おいて、前記出力用FETの出力側の電位を初期化する出力電位リセット手段を有することを特徴とする光センサー装置。

【請求項12】 請求項11において、前記出力用FETの出力端に、前記出力電位リセット手段の動作中の貫通電流を遮断するスイッチ手段が設置されていることを特徴とする光センサー装置。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、ファクシミリの原稿読み取り装置などに用いられる光電変換素子を備えた半導体装置（光センサー）に関するものである。

【0002】

【従来の技術】 ファクシミリ等に用いられる原稿読み取り装置の方式として、原稿からの映像を縮小結像して読み取る縮小型と、原寸のままで読み取る密着型の2方式がある。近年、装置の小型化が可能であること、および光学系の調整が容易であることより、密着型の読み取り装置の開発が盛んに行われている。そして、この装置に用いられる光センサーとしては、アモルファスシリコン、CdS-S₂e等の薄膜を用いたものや、電荷結合デバイス（CCD）およびMOS型などのシリコン単結晶を用いたものが一般的に採用されている。このうち、シリコン単結晶を用いたものは、光電素子としてフォトダイオード、フォトトランジスタなどの高性能素子を用いることができる。そして、フォトトランジスタを用いたMOS方式の光センサーは、比較的安価で高性能を得ることが可能であるため、実用化が進んでいる。

【0003】 図14に、フォトトランジスタを用いたMOS方式の光センサーの回路構成を示してある。この装置は、フォトトランジスタにより構成された複数のセンサー20.1～20.n、この各トランジスタのベースコレクタ間容量22.1～22.n、各センサーからの信号を読み出すためのスイッチ21.1～21.nおよび各センサーと出力部をリセットするリセットスイッチ24により構成されている。このような回路においては、先ず、リセットスイッチ24とスイッチ21.1～21.nがオンされ、各センサーがリセットされる。この状態において、各センサーのベースコレクタ間容量22.1～22.nは一定の電圧に逆バイアスされる。そして、スイッチ21.1～21.nがオフとなり、センサー20.1～20.nが光を検知すると、その光量に応じて電荷が生じ、ベースコレクタ間容量22.1～22.nに保持されている電荷が放電される。次に、各スイッチ21.1～21.nが走査回路からの信号25に従い、順次オン・オフされる。この際に、各ベースコレクタ間容量22.1～22.nが再充電されるため、ベース・エミッタ間に電流が流れる。そして、トランジスタ作用によりエミッタ・コレクタ間に増幅率h_{fe}倍された電流が流れる。このようにして、各センサーに検知さ

れた光は電流に変換され、増幅されて出力側に現れる。

【0004】

【発明が解決しようとする課題】上記のフォトトランジスタを用いた光センサー装置は、フォトトランジスタの増幅作用により、高感度の出力を得ることが可能である。しかしながら、フォトトランジスタは、図15に示すような特性を持っており、出力する際にベース・エミッタ間の電位差 V_{BE} が小さいと、ベース・エミッタ電流 I_{BE} が指数関数的に流れ難くなる。このため、センサーの検知する光量の少ないときは、一定の読み出時間（数100n秒～数μ秒）に、ベースエミッタ間容量22で放電された電荷に相当するベース・エミッタ間の電流が流れない。この結果、図16のIX部に示すように、光量の少ない領域において、光センサーの出力が急激に低下する。このため、光電変換特性の線形性がくずれてしまい、高感度なセンサーを得ることが困難となっている。

【0005】このような光センサー装置においては、読み出時間を長くすれば、光電変換特性の線形性を維持することが可能であるが、原稿の読み取り時間が長くなるため、装置の高速化において障害となる。

【0006】そこで、本発明の目的は、上記問題点に鑑みて、短い読み出時間で光量の小さい領域まで線形な光電変換特性の維持された光センサーを実現することにある。

【0007】

【課題を解決するための手段】上記の課題を解決するために、本発明の光センサーにおいては、光量に応じて電荷を発生する光電変換手段を採用し、この電荷を一定時間蓄積することによる電位変動を光量に応じた光出力電位として用いるようしている。そして、本発明に係る光量に応じて電荷を発生する光電変換手段と、この電荷が一定時間蓄積された電位変動を光出力電位として出力する積分手段と、この光出力電位を初期化する電位設定手段とを有する光センサーにおいては、積分手段が、光電変換手段の出力を入力として所定の基準電圧に対し作動する差動増幅回路と、この差動増幅回路の入出力間に並列に接続された積分容量とを備えていることを特徴としている。この光電変換手段としては、フォトダイオードを採用することができる。

【0008】また、差動増幅回路としては、CMOSを用いた回路で構成でき、さらにこの差動増幅回路としてはCMOSにより構成された比較回路をであることが望ましい。また、電位設定手段としては、差動増幅回路の入出力間に並列に接続されたスイッチ回路を用いることができる。

【0009】そして、複数の上記の光センサーと、光センサーからの光出力電位が順次入力されるバッファ回路とを有する光センサー装置においては、このバッファ回路に光出力電位がゲート電極に印加される出力用FETを備えていることが望ましい。また、バッファ回路とし

て、光出力電位が入力される伝達容量と、この伝達容量の出力に生ずる伝達電位を初期化する伝達電位初期化手段とを備えていることも有効である。この伝達電位初期化手段としては、光出力電位の初期化時に先立って伝達電位を初期化する電位変換初期化手段を採用することが望ましい。さらに、伝達電位初期化手段として、伝達電位を出力用FETの閾値電位に初期化する閾値電位設定手段を用いることも有効である。そして、この閾値電位設定手段としては、出力用FETと同じ構成の電位設定用FETを用いることができ、この電位設定用FETのドレインとゲート電極とが短絡して用いることが有効である。

【0010】また、出力用FETが設けられている場合は、出力用FETの出力側の電位を初期化する出力電位リセット手段を備えていることが有効であり、さらに、出力用FETの出力端に、この出力電位リセット手段の動作中の貫通電流を遮断するスイッチ手段を設置することが望ましい。

【0011】

【作用】本発明の光センサーにおいては、光電変換手段により光量に応じて発生された電荷が積分手段として用いられる差動増幅回路の入力側に導かれ、この差動増幅回路と並列に接続されている積分容量に蓄積される。このため、差動増幅回路の入力側の電位は一定で出力側の電位が変化し、この変化が増幅されて差動増幅回路より出力される。本発明の光センサーにおいては、上記のような積分手段を用いて光電変換手段からの信号を電圧変換しているため、光量の少ない領域においても線形性の保持された光電変換手段の採用が可能となる。さらに、本発明のセンサーから信号が読み出されるときは、光電変換手段からの電荷が積分容量に保持された状態で読み出されるため、検知した光に対応する信号が破壊されない。

【0012】従って、本発明のセンサーから繰り返して信号を読み出すことも可能となる。

【0013】また、本発明の光センサーからの出力電圧は、積分容量の値に依存するので、センサーの感度の調整が容易となる。さらに、差動増幅回路において、光電変換手段からの電荷を電圧変化に変換しているため、各光電変換手段固有の接合容量の偏差あるいは個々の配線容量の偏差に起因するセンサー出力への影響が抑制される。

【0014】このような光センサーを複数用いることにより、ファクシミリなどに用いられる線形性に優れた光センサー装置を構成することが可能となる。そして、光センサーからの光出力電位が順次入力されるバッファ回路においては、この光出力電位がゲート電極に印加される出力用FETを採用することにより、ソースフォロワが構成される。

【0015】また、このような差動増幅回路の採用され

た光センサーを複数用いる光センサー装置においては、差動増幅器固有のオフセット電位の影響を排除することにより、より高精度の情報を得ることができる。このためには、各光センサーの出力側に伝達容量を挿入しても良いが、光センサーからの光出力電位の順次入力されるバッファ回路に伝達容量を設置することにより、装置の簡略化が図られる。さらに、この伝達容量を各光センサーの光出力電位の初期化に先立って初期化しておくことにより、各光センサーの光出力電位を初期化する電位変動を伝達することが可能となる。このため、光センサーからは光量が少ないときに高レベルの光出力電位が出力されるが、この伝達容量によりこの極性が変換され、光量が多いときに高レベルの電位となる伝達電位が出力される。従って、この伝達容量を用いることにより、本発明に係る光センサー装置からの出力がさらに高精度なものとなると同時に、従来からの光センサー装置と同様の特性で出力することが可能となる。また、出力用FETを用いたソースフォロワを採用している場合は、伝達容量からの伝達電位を出力FETの閾値電位に初期設定することにより、出力FETの出力可能電位差を有効に用いることが可能となる。

【0016】また、作動増幅器の負荷を低減するためには、出力用FETをソースフォロワとして採用する場合は、出力用FETの出力端の電位を各光センサーからの出力を伝達した後にリセットすることにより、他の光センサーからの出力との混同が避けられる。そして、このリセットの際に、出力用FETに印加される光出力電位あるいは伝達電位を貫通電流が流れない閾値以下としても良いが、出力用FETの出力端に、リセット時の貫通電流を防止するスイッチ手段を設置することにより、出力用FETに印加される電流経路を再充電する時間を短縮することが可能となるので、高速動作が可能となる。

【0017】

【実施例】以下に、図面を参照して本発明の実施例を説明する。

【0018】図1に、本発明の実施例に係る光センサー装置の回路構成を示してある。本例のセンサー装置は、n個の光センサー10. 1～10. nで構成されており、個々の光センサー10は、フォトダイオード1、このフォトダイオード1の出力が反転入力に入力され、基準電圧Vrefが非反転入力に入力されるオペアンプ2、オペアンプ2と並列に接続され、フォトダイオード1の出力とオペアンプ2の出力を接続する積分容量3並びにリセットスイッチ6、およびオペアンプ2の出力に接続されたコンデンサー4並びに出力スイッチ5により*

$$V_{in} = V_{out} \quad \dots (1)$$

$$V_{out} = A (V_{ref} - V_{in}) \quad \dots (2)$$

(1) および (2) 式より

$$V_{in} = V_{ref} (1 / (1 + 1/A)) \quad \dots (3)$$

ここで、Aはオペアンプ2の増幅率であり、増幅率Aが50より非常に大きい場合は、V_{in}およびV_{out}はV

*構成されている。これらの光センサー10. 1～10. nは並列に接続されており、各センサーの出力スイッチ5. 1～5. nは、各センサーからの出力をリセットするリセットスイッチ7を経て、バッファ回路11のソースフォロワとして用いられているnチャンネルMOS8のゲート8Gに接続されている。そして、このソースフォロワの出力は、出力リセットスイッチ9を経て外部回路12に接続されている。本例の各スイッチ5. 1～n. 1～n. 7、および9は、走査回路13の信号10により駆動される。

【0019】図2に、この光センサー装置の動作を説明するタイミングチャートを示してある。本例の装置においては、ソースフォロワ8のゲート入力8Gに接続されたリセットスイッチ7と、ソースフォロワ8の出力8Oに接続されたリセットスイッチ9の他端はそれぞれ接地されており、これらのスイッチ7、9は時間間隔T0でオン・オフを繰り返す。これらのスイッチ7、9がオフ状態のときは、各センサーからの出力がゲート8Gに印加され、これに基づいた電位が出力8Oから外部回路に出力される。なお、オン・オフを繰り返す時間が等しい場合に限らず、各時間間隔を適宜設定しても勿論良い。

【0020】また、センサー10の出力スイッチ5は、時間T0間だけオンとなり、この動作を時間間隔T1を1サイクルとして繰り返す。出力スイッチ5がオンとなっているときに、センサーの出力がソースフォロワ8に供給される。従って、各センサーの出力スイッチ5. 1～5. nは各々時間2×T0づつ遅れてオン・オフを行う。すなわち、センサー10. 1の出力スイッチ5. 1がオンした2×T0時間後に、センサー10. 2の出力スイッチ5. 2がオンとなる。

【0021】センサー10のリセットスイッチ6は、時間T2間オンとなり、この動作を出力スイッチ5と同様に、時間T1を1サイクルとして繰り返す。各センサー10. 1～nのリセットスイッチ6. 1～nの動作のタイミングは、上記にて説明した出力スイッチ5. 1～nと同様である。

【0022】このような動作を繰り返す本例の各センサーの状態は、まず、時刻t1にオンとなったリセットスイッチ6. 1により、オペアンプ2. 1の入力と出力が短絡されて、入力電位V_{in}は、オペアンプ2の出力電位V_{out}と同値となり、非反転入力に入力されている基準電位Vrefにリセットされる。すなわち、このオペアンプ2の入出力の各電位について以下の関係が成立する。

【0023】

$$\dots (1)$$

$$\dots (2)$$

v_{ref} に初期設定される。

【0024】時刻 t_2 に、リセットスイッチ 6. 1 がオフとなると、オペアンプ 2. 1 において蓄積動作が開始される。すなわち、フォトダイオード 1. 1 が光を検知すると、電荷が発生するため、この電荷が積分容量 3. 1 に蓄積される。従って、 V_{in} と V_{out} とに ΔV の*

$$\Delta V = V_{in} - V_{out} = I_p \times T_{st} / C \quad \dots (4)$$

ここで、C は積分容量 3. 1 の容量値である。この状態における V_{in} および V_{out} は、(2) および (4) ※

$$V_{out} = (V_{ref} - \Delta V) / (1 + 1/A) \quad \dots (5)$$

$$V_{in} = V_{ref} - (V_{ref} - \Delta V) / (A + 1) \quad \dots (6)$$

ここで、增幅率 A が 1 より非常に大きい場合は、

$$V_{out} = V_{ref} - \Delta V \quad \dots (7)$$

$$V_{in} = V_{ref} \quad \dots (8)$$

となる。すなわち、フォトダイオード 1. 1 よりの光量に応じた電流 I_p により、オペアンプの出力電位 V_{out} は、 $I_p \times T_{st} / C$ だけ降下し、入力電位 V_{in} は、 V_{ref} に保たれることが判る。

【0027】時刻 t_3 に出力スイッチ 5. 1 がオンとなると、オペアンプ 2. 1 から上記の出力電位 V_{out} が²⁰出力される。このように、オペアンプ 2. 1 からは、光量に応じた電流 I_p の電圧変換された電位が²⁰出力され、この電位 V_{out} がソースフォロワ 8 のゲート 8G に印加される。この際、リセットスイッチ 7 および 9 はオフとなっている。バッファ回路 1. 1 は、オペアンプ 2 の負荷を低減するためのものであり、ソースフォロワとして、n チャンネル型の FET が用いられている。

【0028】この回路 1. 1 においては、ゲート電位に出力 8O であるソース電位が追従するため、ゲート 8G に印加される各光センサー 1. 0. 1 ~ n の出力に応じた電位が³⁰出力される。図 2 にはソースフォロワ 8 の例として、容量が負荷の場合の出力波形を示してある。なお、各センサー 1. 0. 1 ~ n の出力には、オペアンプ 2. 1 ~ n の負荷を低減するために、ソースフォロワ 8 のゲート容量に対応する容量 4. 1 ~ n が接続されており、その他端は接地されている。

【0029】時刻 t_4 において、リセットスイッチ 7 および 9 がオンとなり、出力スイッチ 5. 1 がオフとなる。このため、ソースフォロワのゲート電位およびソース電位は接地電位にリセットされる。次いで、時刻 t_1' において、光センサー 1. 0. 1 ではリセットスイッチ 6. 1 がオンとなり、新たなサイクルが開始される。一方、次の光センサー 1. 0. 2 においては、出力スイッチ 5. 2 がオンとなり、ソースフォロワ 8 の各リセットスイッチ 7. 9 がオフとなっているので、光センサー 1. 0. 2 の出力がゲート 8G に印加され、センサー 1. 0. 2 の検知した光量に比例する電位が⁴⁰出力される。

【0030】図 3 に本装置の光電変換特性を示してある。本例の装置においては、光量が 0 のときは電流 I_p は 0 であるので、この時の電位 V_0 は V_{ref} からソ

*電位差が生ずる。この状態は、出力スイッチが時刻 t_3 においてオンするまでの時間 T_{st} の間継続し、この間フォトダイオード 1. 1 より光量に応じて電流 I_p が流れたとすると、 ΔV は以下の式で表される。

【0025】

$$\Delta V = V_{in} - V_{out} = I_p \times T_{st} / C \quad \dots (4)$$

※式より以下の通り表される。

【0026】

$$V_{out} = (V_{ref} - \Delta V) / (1 + 1/A) \quad \dots (5)$$

$$V_{in} = V_{ref} - (V_{ref} - \Delta V) / (A + 1) \quad \dots (6)$$

ここで、增幅率 A が 1 より非常に大きい場合は、

$$V_{out} = V_{ref} - \Delta V \quad \dots (7)$$

$$V_{in} = V_{ref} \quad \dots (8)$$

スフォロアでの電圧降下分 V_{th} を引いた値となる。光量が増加すると、電流 I_p が増加するので、本例の光センサーからの出力電位は光量と比例して減少する。そして、オペアンプの正常動作の範囲から決定される下限値 V_L に到るまで光量に応じた線形性が確保される。このように、本例の光センサーにおいては、従来のフォトトランジスタを用いた光センサーでは、線形性を確保することが困難であった弱い光量の領域であっても線形性が確保できる。また、光量の少ない領域においても応答時間に差はなく、短い読み取り時間で作動できる。さらに、一般に、電位 V_0 と下限値 V_L の差は 2V 程度であるため、十分なダイナミックレンジを確保することができる。

【0031】図 4 に、本発明の光センサーの光電変換特性を変化させたようすを示してある。本発明のセンサーの出力電位は、積分容量に反比例するので、積分容量の値を変化させることにより、センサーの感度の調整を容易に行うことができる。このため、用途の応じた感度の光センサー装置を安価に提供することができる。

【0032】さらに、フォトダイオードからの光電流を積分容量に蓄積した後、オペアンプから出力電圧として出力するため、フォトダイオードの接合容量のばらつき、あるいはダイオードからオペアンプに至るまでの配線容量のばらつきなどに起因する個々の光センサーの特性に出力側が影響されない。また、フォトダイオードに印加されている電位は一定に保たれているので、光により発生した電流は、全て積分容量に蓄えられる。従って、出力として常にフォトダイオードの光電流に比例した電位差が得られるので、読み取り装置の読み取り位置による感度のばらつきなどの不具合を抑制することができる。

【0033】図 5 に、本例の光センサーに用いられているオペアンプを CMOS を用いて構成した 1 例を示してある。図 5 に示している回路は、CMOS を用いたコンバーラタであって、電源電位 V_{DD} と接地電位との間に、電流ミラー回路を構成するように p チャンネル MOS 1

10, 111 および n チャンネル MOS 112, 113 を並列に設置するようにしている。この両者が接続された後に、n チャンネル MOS 114 を設置して電位 V_{int} を入力して定電流源としている。そして、n チャンネル MOS 112 および 113 のゲートには、それぞれ入力電位 V_{in} および基準電位 V_{ref} を印加し、出力電位 V_{out} を p チャンネル MOS 110 と n チャンネル MOS 112 との間から取るようにしている。

【0034】図 6 に上記のコンパレータの入出力特性を示してある。本例の光センサー装置においては、蓄積時間 T_{st} が 0.1m 秒～10 秒程度の積分回路として使用するため、バイポーラ素子を用いた高速のオペアンプである必要はなく、上述したような回路構成のコンパレータで十分な特性を得ることが可能である。従って、本例のセンサー装置を安価に製造することが可能である。

【0035】上記のオペアンプに加え、リセットスイッチ等も全て MOS トランジスタで構成することが可能であり、フォトダイオードも含め、本例の光センサー装置を 1 つの半導体基板上に構成することができる。このため、従来のフォトトランジスタを用いた光センサーと同様に各種装置に組み込むことが可能である。

【0036】【実施例 2】図 7 に、本実施例に係る光センサー装置の回路構成を示してある。本例のセンサー装置も、n 個のフォトダイオード 1 からなる光センサー 10, 1～10, n で構成されている。個々の光センサー 10 においても、実施例 1 と同様に、フォトダイオード 1、このフォトダイオード 1 の出力が入力されるオペアンプ 2、さらにオペアンプ 2 と並列に接続された積分容量 3 並びにリセットスイッチ 6 等から構成されている。これらの構成の内、実施例 1 と共に部分においては、同じ符号を付し、説明を省略する。本例の光センサー装置は、各光センサー 10, 1～10, n の出力が順次入力されるバッファ回路 11 において、各光センサーからの出力が導入される部分に伝達容量 30 が*

$$V_{int} = V_{ref} + V_{of} \quad \dots (11)$$

従って、式 (7) に示した光センサーからの出力電位 V_{out} は、

$$V_{out} = V_{ref} + V_{of} - \Delta V \quad \dots (12)$$

となり、 V_{of} だけシフトした電位が output される。この V_{of} は微小であるが、個々のオペアンプに固有のものであり、個々の光センサーからの出力のばらつきとして現れるのである。従って、このオフセット電位 V_{of} を除去することにより、微小な光量領域まで線型性の確保され、さらに高精度の光センサー装置を実現することができる。

【0040】このため、本装置においては、バッファ回路 11 に伝達容量 30 を挿入し、この伝達容量 30 を用いて各光センサー 10, 1～10, n のオフセット電位 V_{of} が V_{of} がキャンセルできるようにしている。さらに、本装置においては、各光センサー 10, 1～10, n の初期化時の電位変動を伝達容量 30 を介

*挿入されている。すなわち、各センサー 10, 1～10, n からの出力電位は、各センサーの出力スイッチ 5, 1～5, n により選択され、伝達容量 30 の入力側 30a に印加される。

【0037】この結果伝達容量 30 の出力側 30b に現れた伝達電位が、バッファ回路 11 のソースフォロワとして用いられている n チャンネル MOS 8 のゲート 8G に印加されるようになっている。さらに、出力側 30b とゲート 8G との間には、出力側 30b の電位を初期化するリセットスイッチ 7 の一端が接続されている。そして、このリセットスイッチ 7 の他端には、ソースフォロワである MOS 8 と同様の構成の n チャンネル MOS 31 が接続されている。さらに、この MOS 31 のゲート電極 31g とドレイン 31d が短絡されているので、リセットスイッチ 7 により、出力側 30b の電位は、MOS 31 の閾値電位 V_{th} 、すなわち、ソースフォロワ 8 の閾値電位 V_{th} に設定されるようになっている。

【0038】実施例 1 において説明したように、フォトダイオード 1、オペアンプ 2、積分容量 3 並びにリセットスイッチ 6 を用いた光センサー 10 を採用することにより、線型性の確保された、感度の良い光センサー装置を実現することができる。このオペアンプ 2 には、個々に微小なオフセット電位を有していることが一般的である。従って、光量の少ない領域において、これらの微小なオフセット電位により、個々の光センサーからの出力電位のばらつきことがある。このため、高品位で高精度な画像データを得るために、このオフセット電位の影響を除去することが望ましい。すなわち、図 9 に示すように、個々のオペアンプ特有のオフセット電位 V_{of} により、オペアンプの非反転入力に基準電位 V_{ref} を入力しても、光センサーのリセットされた初期電位 V_{in} は以下のようになる。

【0039】

$$V_{int} = V_{ref} + V_{of} \quad \dots (11)$$

して得ることにより、光量を比例した電位をバッファ回路 11 から外部回路に出力できるようになっている。このため、本例の装置は、従来の光センサー装置と同様に、光量が大きいときに電位の高い信号を出力できるので、より使いやすい装置となっている。

【0041】次に、図 8 のタイミングチャートに基づき、本装置の各部の動作を説明する。

【0042】本例の装置においても、実施例 1 と同様にスイッチ 7, 9 は時間間隔 T_0 のパルスによりオン・オフを繰り返す。従って、これらのスイッチ 7, 9 がオフ状態のときは、各センサーからの出力が伝達容量 30 を介してゲート 8G に印加され、これに基づいた電位が出力 8O から外部回路に出力される。なお、オン・オフを

11

繰り返す時間が等しい場合に限らず、各時間間隔を適宜設定しても良いことは実施例1と同様である。また、各光センサーの出力スイッチ5およびリセットスイッチ6が時間T1を周期として駆動されることも実施例1と同様である。本装置においては、光センサー10.1~10.nの初期化時の電位変化をバッファ回路11に伝達するため、先ず、出力スイッチ5がオンとなる。そして、伝達容量30の入力側30aの電位を各光センサー10.1~10.nにおいて光量が電圧変換された値に初期設定する。そして、時間T0後、出力スイッチ5をオン状態に保持したままリセットスイッチ6を時間T0間オンとし、光センサーの出力電位を初期設定する。こ*

$$V_{out.1} = V_{ref} + V_{of.1} - \Delta V_1 \quad \dots \quad (13)$$

ここで $V_{of.1}$ は、光センサー10.1固有のオフセット電位であり、 ΔV_1 は、式(4)に示す光センサー10.1の感知した光量が電圧変換された値である。そして、出力スイッチ5.1がオンとなっているので、伝達容量30の入力側30aの電位は、 $V_{out.1}$ に設定される。一方、伝達容量30の出力側30bの電位は、リセットスイッチ7がオンとなっているので、MO 20 S31を介してソースフォロワ8の閾値電位 V_{th} に設定

$$V_{out.1'} = V_{ref} + V_{of.1} \quad \dots \quad (14)$$

にリセットされる。これと同時に、伝達容量の入力側30aも $V_{out.1'}$ に設定される。従って、入力側30aの電位は、式(13)および(14)から判るよう☆

$$V_{tr} = V_{th} + \Delta V_1$$

となる。このように、本装置の伝達容量30から出力される電位変動 V_{tr} は、各光センサーのオフセット電位に影響されない。また、この電位変動 V_{tr} が印加されるソースフォロワ8においては、時刻t11において V_{tr} が閾値 V_{th} であるため出力電位は0である。また、時刻t12において $V_{th} + \Delta V_1$ がゲート電極に印加されるので、このソースフォロワ8からは ΔV_1 だけ上昇した電位が出力される。従って、本装置の出力は、光量が多いときに高い電位が出力されるようになっており、従来用いられている光センサー装置と同様の、一般的な極性を持った出力特性であるので、ファクシミ☆

$$V_{out.2} = V_{ref} + V_{of.2} - \Delta V_2 \quad \dots \quad (16)$$

そして、時刻t14において、光センサー10.2の出力電位がリセットされると式(14)と同様に伝達容量

$$V_{out.2'} = V_{ref} + V_{of.2} \quad \dots \quad (17)$$

となる。従って、時刻t13において再度 V_{th} にリセットされている伝達容量の出力側30bの伝達電位 V_{tr}

$$V_{tr} = V_{th} + \Delta V_2$$

が現れる。これによりソースフォロワ8からは ΔV_2 が出力される。

【0048】本装置においては各光センサー10.1~10.nに対して時間T1を1周期としてこれらの動作を繰り返し、連続的な画像データの入力を可能としている。

12

*れと同時に、伝達容量の入力側30aの電位が光量の電圧変換分だけ上昇する。その後、すなわち、出力スイッチ5がオンしてから時間T0×2経過した後に出力スイッチ5をオフとし、光センサーは光量の測定を再開し、バッファ回路には次の光センサーを接続する。

【0043】これらの動作を時刻を追って説明する。時刻t11において、出力スイッチ5.1がオンすることにより、光センサー10.1が選択される。この時刻t11において、光センサー10.1の出力電位 $V_{out.1}$ は(12)式より以下の通りとなる。

【0044】

$$V_{out.1} = V_{ref} + V_{of.1} - \Delta V_1 \quad \dots \quad (13)$$

*定される。

【0045】次に、時刻t12において、光センサー10.1のリセットスイッチ6.1がオンとなると、オペアンプ2.1の出力は基準電位に初期設定される。この際、上述したように、オペアンプ毎にオフセット電位が存在するので、オペアンプ2.1の出力、すなわち、光センサー10.1の出力は、

$$V_{out.1'} = V_{ref} + V_{of.1} \quad \dots \quad (14)$$

*に、 ΔV_1 上昇する。一方、出力側30bの電位 V_{tr} はリセットスイッチ7がオープンとなっているので、入力側30aの電位変動に呼応して

$$\dots \quad (15)$$

*りなどに組み込み易くなっている。

【0046】さらに、時刻t13において、出力スイッチ5.1がオフとなり、出力スイッチ5.2がオンとなると、実施例1において説明したように、光センサー10.1のオペアンプ2.1において光量に応じた蓄積動作が開始される。また、バッファ回路11には、光センサー10.2の出力が印加され、伝達容量の入力側30aは、以下に示す光センサー10.2の出力電位 $V_{out.2}$ に設定される。

【0047】

$$V_{out.2} = V_{ref} + V_{of.2} - \Delta V_2 \quad \dots \quad (16)$$

そして、時刻t14において、光センサー10.2の出

力電位がリセットされると式(14)と同様に伝達容量

$$V_{out.2'} = V_{ref} + V_{of.2} \quad \dots \quad (17)$$

となる。従って、時刻t13において再度 V_{th} にリセ

ットされている伝達容量の出力側30bの伝達電位 V_{tr}

が現れる。これによりソースフォロワ8からは ΔV_2 が出力される。

【0048】本装置においては各光センサー10.1~10.nに対して時間T1を1周期としてこれらの動作を繰り返し、連続的な画像データの入力を可能としている。

12, t 13, t 14における動作が繰り返される。

【0050】このように、本例の装置においては、バッファ回路に伝達容量を挿入することにより、各光センサーの出力からオフセット電位の影響を削除した電位変動を抽出することができる。従って、各光センサーに用いられているオペアンプ固有の微小なオフセット電位の影響をも除去することが可能であり、微弱な光量に対してもばらつきを防止し、その光量に則した電位変動を出力することが可能である。このように本例の光センサー装置においては、オフセット電位の影響がでやすい低光量域においても、線型性が維持され、さらに、ばらつきもない高精度の画像データを出力することができる。また、出力信号として、従来の装置と同様に光量の大きな場合に高レベルとなる信号が出力できるので、互換性に富、使い易い装置が実現できる。

【0051】【実施例3】図10に、本実施例に係る光センサー装置の回路構成を示してある。本例のセンサー装置も、n個のフォトダイオード1からなる光センサー10. 1～10. nで構成されている。個々の光センサー10においても、実施例1と同様に、フォトダイオード1、このフォトダイオード1の出力が入力されるオペアンプ2、さらにオペアンプ2と並列に接続された積分容量3並びにリセットスイッチ6等から構成されている。これらの構成の内、実施例1と共通する部分においては、同じ符号を付し、説明を省略する。本例の光センサー装置は、短時間読出を可能とするため、各光センサー10. 1～10. nの出力をインピーダンス変換して出力するソースフォロワ8において、そのゲート電極8Gに設置されていたリセットスイッチ7を省略することにより、さらに高速の出力を可能とする光センサー装置である。

【0052】ソースフォロワ8の出力側は、次の光センサーに対応する出力との混同などが発生することを防止するため、各光センサー10. 1～10. nからの出力を伝達した後にリセットスイッチ9により低電位にリセットされる。この際、ソースフォロワ8に印加されている光センサーからの出力電位が、ソースフォロワ8であるMOSFETの閾値電位を越えている場合は、リセットスイッチ9を通って大量の貫通電流が流れることとなり、消費電流の点から大きな問題となる。従って、ソースフォロワ8の出力側のリセットスイッチ9をオンすると同じタイミングで、光センサー出力側、すなわち、ソースフォロワ8のゲート電位をリセットスイッチ7をオンすることにより、低電位とし、この貫通電流を防止している。

【0053】そして、リセットスイッチ7および9がオンとなっている間は、光センサー10. 1～10. nの出力スイッチ5. 1～5. nをオフとしているため、共通線41およびゲート電極8Gの電位は0Vまで低下する。その結果、各光センサー10. 1～10. nのオペ

アンプ2. 1～2. nは、出力スイッチ5. 1～5. nからソースフォロワ8のゲート電極8Gまでの共通線41をその都度充電する必要が生ずる。この共通線41の配線容量は、1pF程度の値を持ち、また、各光センサー10. 1～10. nからの出力電位は0V→2～3Vと大きい。このため、光センサー装置に含まれる光センサー10の数が大きくなると、その充電時間が無視できなくなる。

【0054】図13に、実施例1に示した光センサー装置におけるソースフォロワ8のゲート電位Vgの変化と、ソースフォロワ8の出力側の電位変化Voの時間様子をシミュレートした結果を示してある。このシミュレーションにおいては、共通線41の容量を1pF、オペアンプの各トランジスタサイズを数μm程度で構成し、クロック周波数は500KHzとしている。本図にて判るように、リセットスイッチ9がオンとなる毎に、ゲート電位Vgが0Vまで落ち込むため、ソースフォロワ8の出力電位Voの立ち上がりはシャープにならず、また、なかなか安定しない。

【0055】そこで、本実施例においては、ソースフォロワ8の出力電位Voの立ち上がりを速くし、高速動作を可能とするために、ゲート電極8G側のリセットスイッチを省き、ゲート電位Vgの落ち込みを防止するようしている。一方、ソースフォロワ8の出力側のリセット時に貫通電流が流れることを防止するため、ソースフォロワ8の出力端8Oに遮断スイッチ40を設置している。そして、ソースフォロワ8の出力側をリセットするリセットスイッチ9がオンとなった時に、遮断スイッチ40をオフとして貫通電流を防止している。

【0056】図11に示す本実施例のタイミングチャートに基づき、本装置の動作を説明する。なお、各光センサー10. 1～10. nの動作およびオペアンプの出力は実施例1と同様につき説明を省略する。先ず、時刻t21に、出力スイッチ5. 1がオンすると、共通線41の電位、すなわち、ソースフォロワ8の入力8Gの電位は、オペアンプ2. 1の出力電位と等しくなり、ソースフォロワ8のゲート電位として基準電位Vrefから△V1だけ低い値が設定される。これと同時に、ソースフォロワ8の出力側はリセットスイッチ9がオンとなりリセットされる。

【0057】しかし、ソースフォロワ8の出力端に設置されている遮断スイッチ40がオフとなっているので、貫通電流は流れない。次に時刻t22において、リセットスイッチ9がオフとなり、遮断スイッチ40がオンとなると、ソースフォロワ8の出力側に、その時のゲート電位、すなわち、△V1に対応する出力電圧が現れる。この際、図2に示す実施例1と異なり、ソースフォロワ8のゲート電極8Gは、すでに時刻t21からオペアンプ2. 1の出力と接続されているので、時刻t22においては、ソースフォロワ8の入力電位はオペアンプ

2. 1の出力電位と略同電位となっている。従って、共通線4 1およびゲート電極8 Gを充電するための時間遅れはなく、ソースフォロワ8からの出力電位の立ち上がりはシャープとなる。このため、本装置の動作速度の向上を図ることができる。

【0058】次に、時刻t 2 3において、出力スイッチ5. 1、およびスイッチ1 0がオフとなり、光センサー1 0. 1のリセットスイッチ6. 1、光センサー1 0. 2の出力スイッチ5. 2およびリセットスイッチ9がオンとなる。従って、共通線4 1およびソースフォロワ8のゲート電極8 Gにはオペアンプ2. 2の出力 ΔV 2が印加される。そして、ソースフォロワ8の出力側はリセットされるが、遮断スイッチ1 0がオフとなっているので貫通電流は流れない。このように、本実施例においては、実施例1と異なり、共通線4 1およびゲート電極8 Gにオペアンプ2. 1の出力電位 ΔV 1からオペアンプ2. 2の出力電位 ΔV 2が直接印加される。従って、一端0 Vに下がった後、オペアンプ2. 2の出力電位 ΔV 2が印加される実施例1の装置と比較し、電位の変化量も小さく、ソースフォロワ8のゲート電位も即座に追従可能となっている。さらに、充電量が少ないため、オペアンプ2. 2の消費電力も小さくて良い。

【0059】次に、時刻t 2 4において、スイッチ9がオフとなり、遮断スイッチ1 0がオンとなるので、ソースフォロワの出力側にオペアンプ2. 2の出力電位 ΔV 2に対応した出力電圧が現れる。なお、光センサー1 0. 1は、実施例1と同様に、リセットスイッチ6. 1が時刻t 2 5にオフとなるので、リセットが完了し、再び積分動作を開始する。

【0060】図12に、本実施例におけるソースフォロワ8のゲート電位 V_g の変化と、ソースフォロワ8の出力側の電位変化 V_o の時間変化の様子をシミュレートした結果を示してある。このシミュレーションにおいては、先に示したシミュレーション結果と同様に、共通線4 1の容量を1 pF、オペアンプの各トランジスタサイズを数 μm 程度で構成し、クロック周波数は5 0 0 KHzとしている。本図にて判るように、図13に示したシミュレーションの結果と異なり、ゲート電位 V_g が0 Vまで落ち込まず、リセットスイッチ9がオフとなった時に、既に所定の電位となっているため、出力電位 V_o の立ち上がりはシャープであり、良好な出力波形が得られている。

【0061】このように、本実施例においては、ソースフォロワの出力端に遮断スイッチを設けることにより、ソースフォロワのリセット時の貫通電流を防止している。従って、ソースフォロワのゲート電位が各センサーの出力後に毎回0 Vにリセットされることがなく、ゲート電位を各センサーの出力電位に短時間に設定することができる。さらに、ソースフォロワをリセットしている時間、すなわち、ソースフォロワの出力側のリセットス

イッチがオンとなっている間に、次の光センサーの出力電位をソースフォロワのゲート電位として印加することが可能となる。従って、ソースフォロワの出力側のリセットが完了し、各光センサーに対応した出力電位を出力する際には、すでに、ソースフォロワのゲート電位に、選択された光センサーの出力電位を確立させることができる。このため、ソースフォロワのリセットが完了してから各光センサーの出力電位が印加される実施例1の装置と比較し、ソースフォロワからの出力信号の立ち上がりを良くすること可能となる。このように、本実施例においては、ソースフォロワからの出力波形が、立ち上がりがシャープで、短時間に各光センサーの出力電位に対応した値に安定することから、さらに高速動作の可能な光センサー装置を実現することができ、多数の光センサーを用いた光センサー装置であっても、動作の早い装置を実現することが可能となる。

【0062】なお、本例および実施例1においては、フォトダイオードを用いているが、pinフォトダイオードあるいはアバランシェフォトダイオードなどの種々のフォトダイオードを用いて装置を構成することが可能である。

【0063】

【発明の効果】以上説明したように、本発明の光センサーおよびそれを用いた光センサー装置においては、差動増幅器と積分容量を用いて、フォトダイオードなどの光電変換手段からの光電流を電圧変換して出力することを特徴としている。従って、低照度領域においても、線形性の確保されたフォトダイオードなどの光電変換手段を用いて光センサーを構成することが可能となる。

【0064】さらに、積分容量の値を変化することにより、容易にセンサーの感度を調整することができる。そして、フォトダイオードの光電流を差動増幅器を用いて電圧に変換して出力しているので、個々のフォトダイオードに起因する光センサー装置の感度への影響を抑制することが可能となる。従って、本発明に係るセンサー装置を、感度のばらつきの少ない装置とすることができます。

【0065】また、複数の光センサーからの光出力電位が順次入力されるバッファ回路において、これらの光出力電位を伝達する伝達容量を挿入することにより、各光センサーに用いられているオペアンプ固有のオフセット電位の影響も除去することができる。このため、光量の少ない場合においても、微小なオフセット電位による感度のばらつきを防止することが可能であり、さらに高精度の光センサー装置を実現することができる。同時に、この伝達容量を挿入することにより、従来の光センサー装置と同様に光量が大きい時に、高レベルとなる出力信号を供給する光センサー装置が実現できる。このため、従来の光センサー装置との互換性に富、使い易い装置が供給可能となる。

【0066】さらに、バッファ回路を構成する出力用FETの出力端に、出力用FETの出力側をリセットする際の貫通電流を防止する遮断スイッチを設置することにより、出力用FETの入力側のリセットを省略とすることが可能である。このため、各光センサーの光出力電位を、出力用FETの出力状態に先立って出力用FETのゲート電位として確立することが可能となる。これにより、出力用FETからの出力信号の立ち上がりをシャープとし、高速動作の可能な光センサー装置を実現することができる。

【0067】また、本発明に係る光センサーは、MOSトランジスタにより構成された回路で実現できるので、フォトダイオードも含めて一つの半導体基板上に形成可能である。従って、従来のフォトトランジスタなどの光ディバイスと同様にファクシミリ装置等へ組み込むことができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る光センサー装置の回路構成を示す回路図である。

【図2】図1に示す光センサー装置の動作を示すタイミングチャートである。

【図3】図1に示す光センサーの光電変換特性を示すグラフ図である。

【図4】図1に示す光センサーの光電変換特性の変化を説明するグラフ図である。

【図5】図1に示す光センサーに用いられているオペアンプの回路構成を示す回路図である。

【図6】図5に示すオペアンプの作動特性を示すグラフ図である。

【図7】本発明の実施例2に係る光センサー装置の回路構成を示す回路図である。

【図8】図7に示す光センサー装置の動作を示すタイミングチャートである。

【図9】図1に示す光センサーの光電変換特性を説明するグラフ図である。

【図10】本発明の実施例3に係る光センサー装置の回路構成を示す回路図である。

【図11】図10に示す光センサー装置の動作を示すタイミングチャートである。

【図12】図10に示す光センサー装置におけるバッファ回路の入力電位と出力電位の時間変動をシミュレーションした結果を示すグラフ図である。

【図13】実施例1に示す光センサー装置におけるバッファ回路の入力電位と出力電位の時間変動をシミュレー

ションした結果を示すグラフ図である。

【図14】従来のフォトトランジスタを用いた光センサー装置の回路構成を示す回路図である。

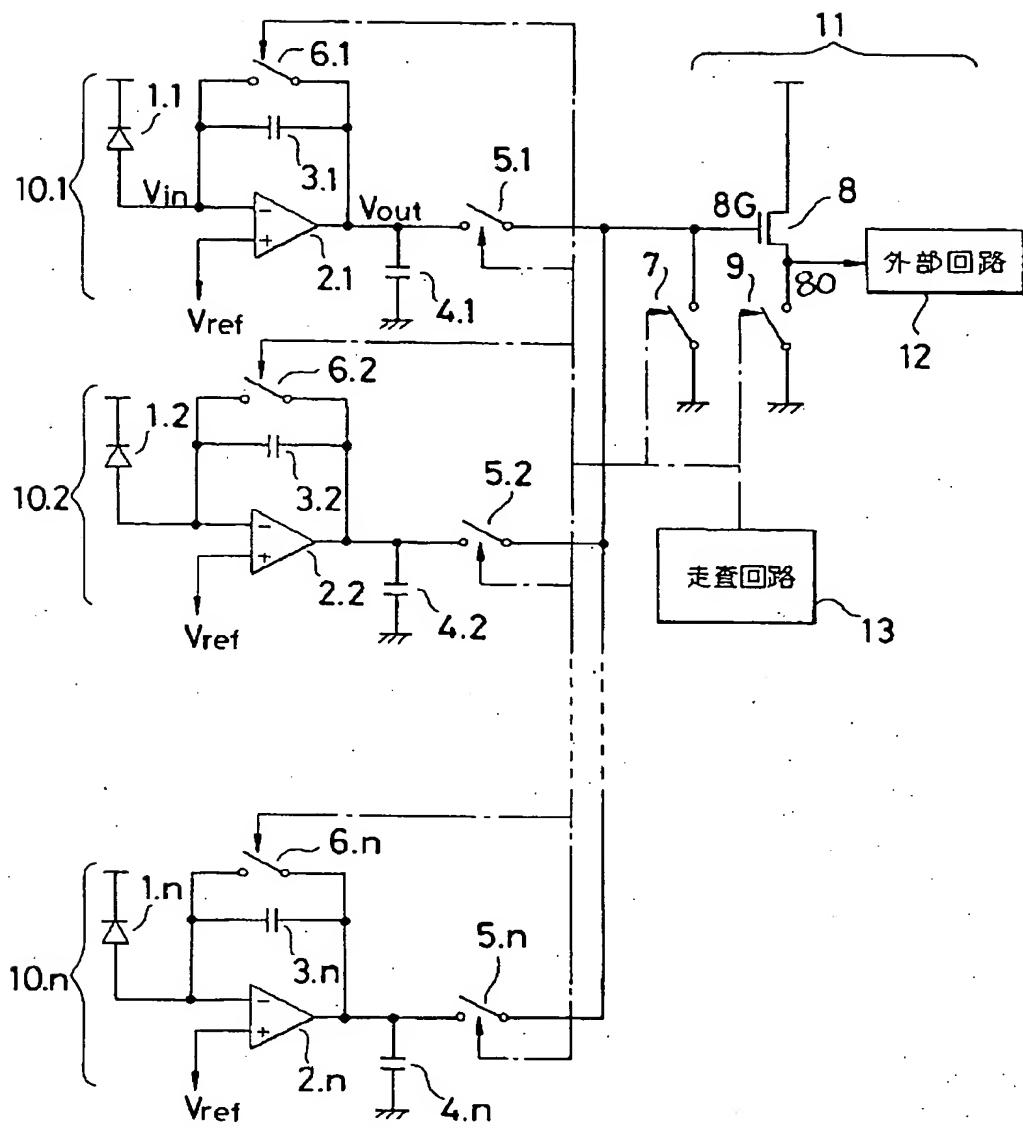
【図15】図14に示すフォトトランジスタの作動特性を示すグラフ図である。

【図16】図14に示す光センサーの光電変換特性を示すグラフ図である。

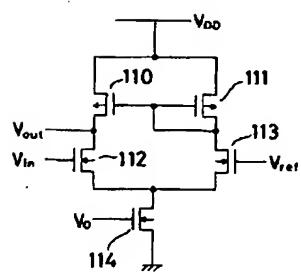
【符号の説明】

1.	1～1.	n	...	フォトダイオード	
10	2.	1～2.	n	...	オペアンプ
	3.	1～3.	n	...	積分容量
	4.	1～4.	n	...	コンデンサー
	5.	1～5.	n	...	出力スイッチ
	6.	1～6.	n	...	リセットスイッチ
	7	...		リセットスイッチ	
	8	...		nチャンネルMOS	
	8 G	...		MOSのゲート入力	
	8 O	...		MOSの出力	
	9	...		リセットスイッチ	
20	10.	1～10.	n	...	光センサー
	11	...		バッファ回路	
	12	...		外部回路	
	13	...		走査回路	
	20.	1～20.	n	...	フォトダイオード
	21.	1～21.	n	...	スイッチ
	22.	1～22.	n	...	ベースコレクタ間容量
	24	...		リセットスイッチ	
	25	...		走査回路からの信号	
	30	...		伝達容量	
30	31	...		リセット用FET	
	40	...		遮断スイッチ	
	41	...		共通線	
	110,	111	...	pチャンネルMOS	
	112,	113,	114	...	nチャンネルMOS
	V _{in}	...		オペアンプの入力電位	
	V _{out}	...		オペアンプの出力電位	
	V _{ref}	...		基準電位	
	V _{of}	...		オフセット電位	
	V ₀	...		オペアンプの初期電位	
40	V _L	...		オペアンプの作動下限値	
	T ₀ , T ₁ , T ₂	...		時間間隔	
	T _{st}	...		蓄積時間	
	t ₁ , t ₂ , t ₃ , t ₄	...		時刻	
	t ₁₁ , t ₁₂ , t ₁₃ , t ₁₄	...		時刻	

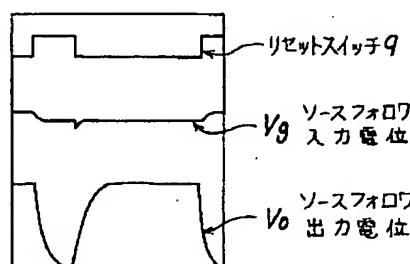
【図1】



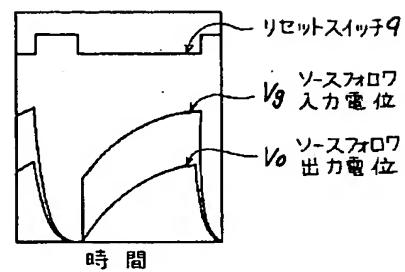
【図5】



【図12】

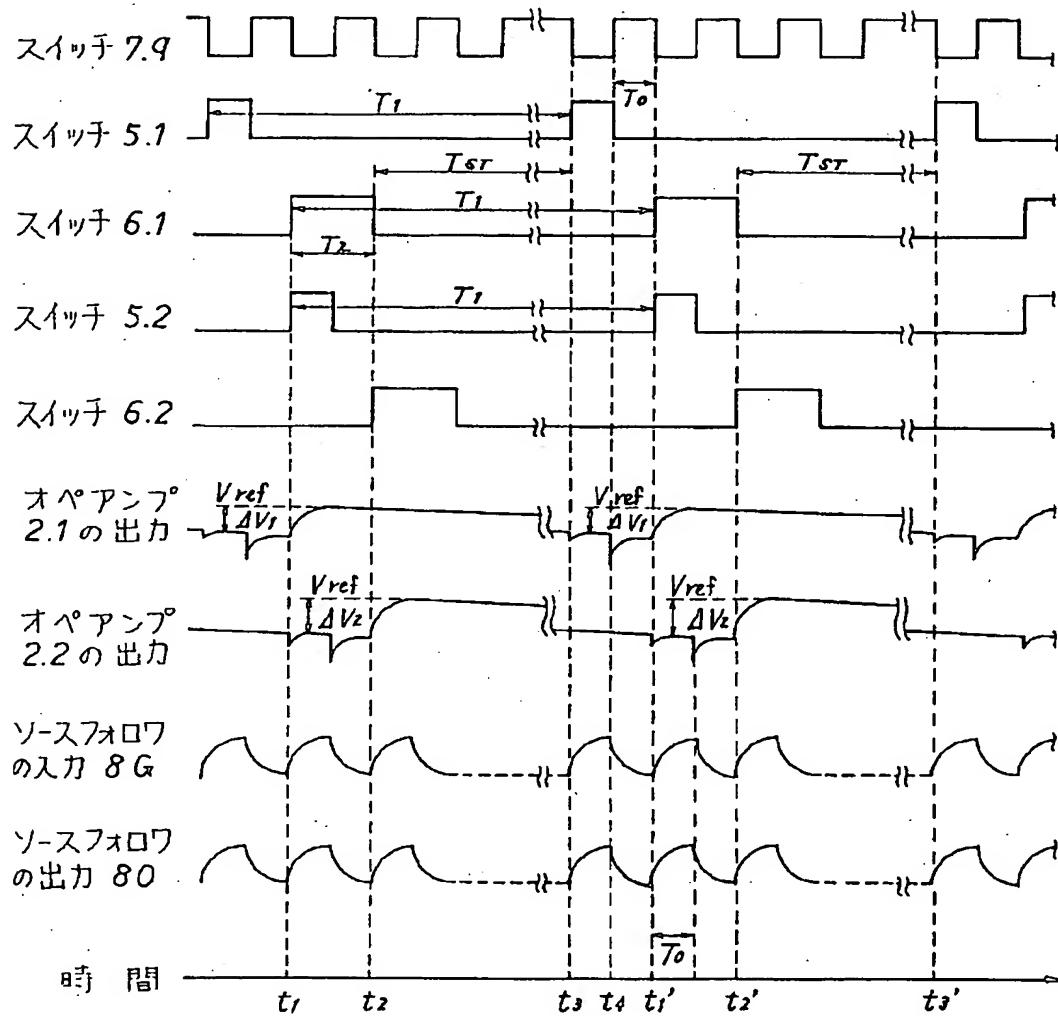


【図13】

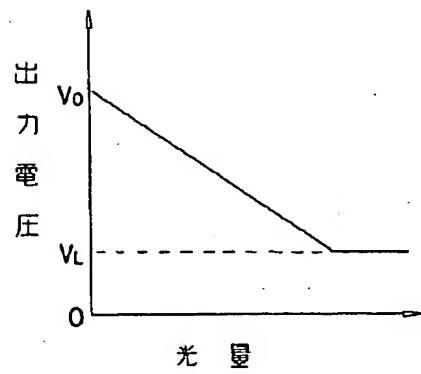


【図2】

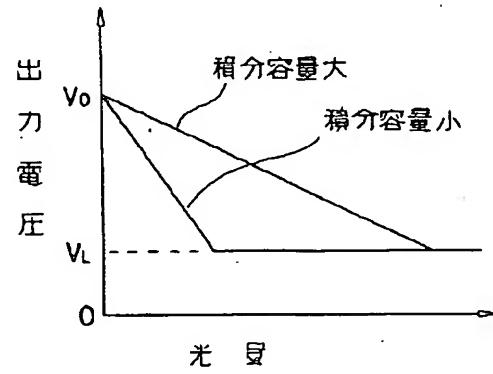
(図中スイッチはHがオンを表わす)



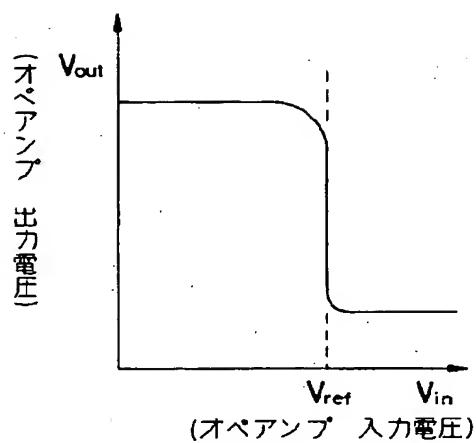
【図3】



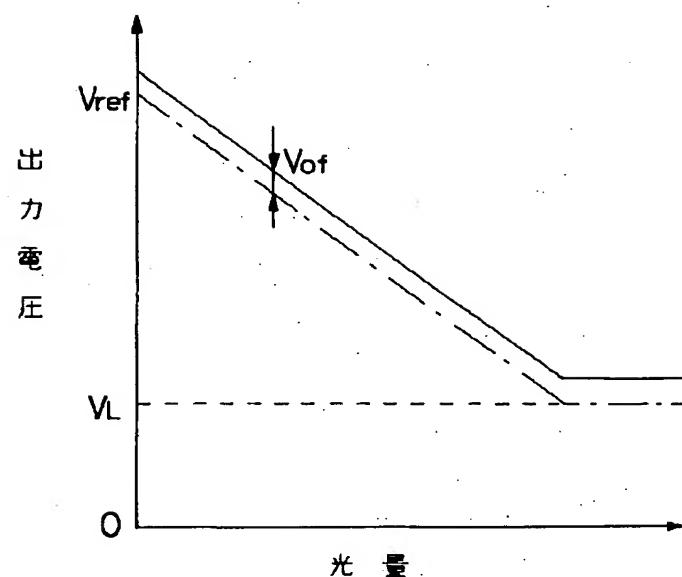
【図4】



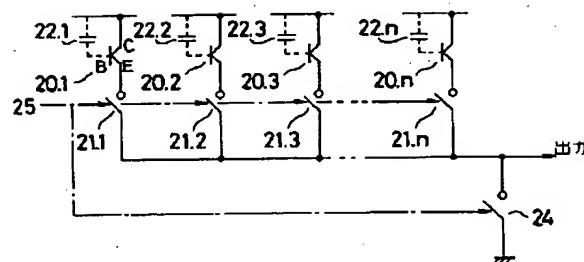
【図6】



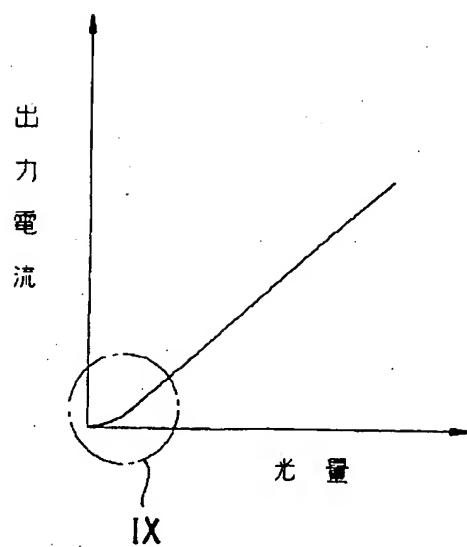
【図9】



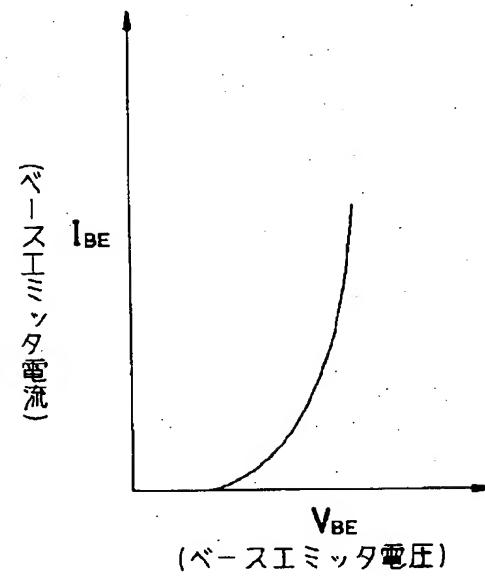
【図14】



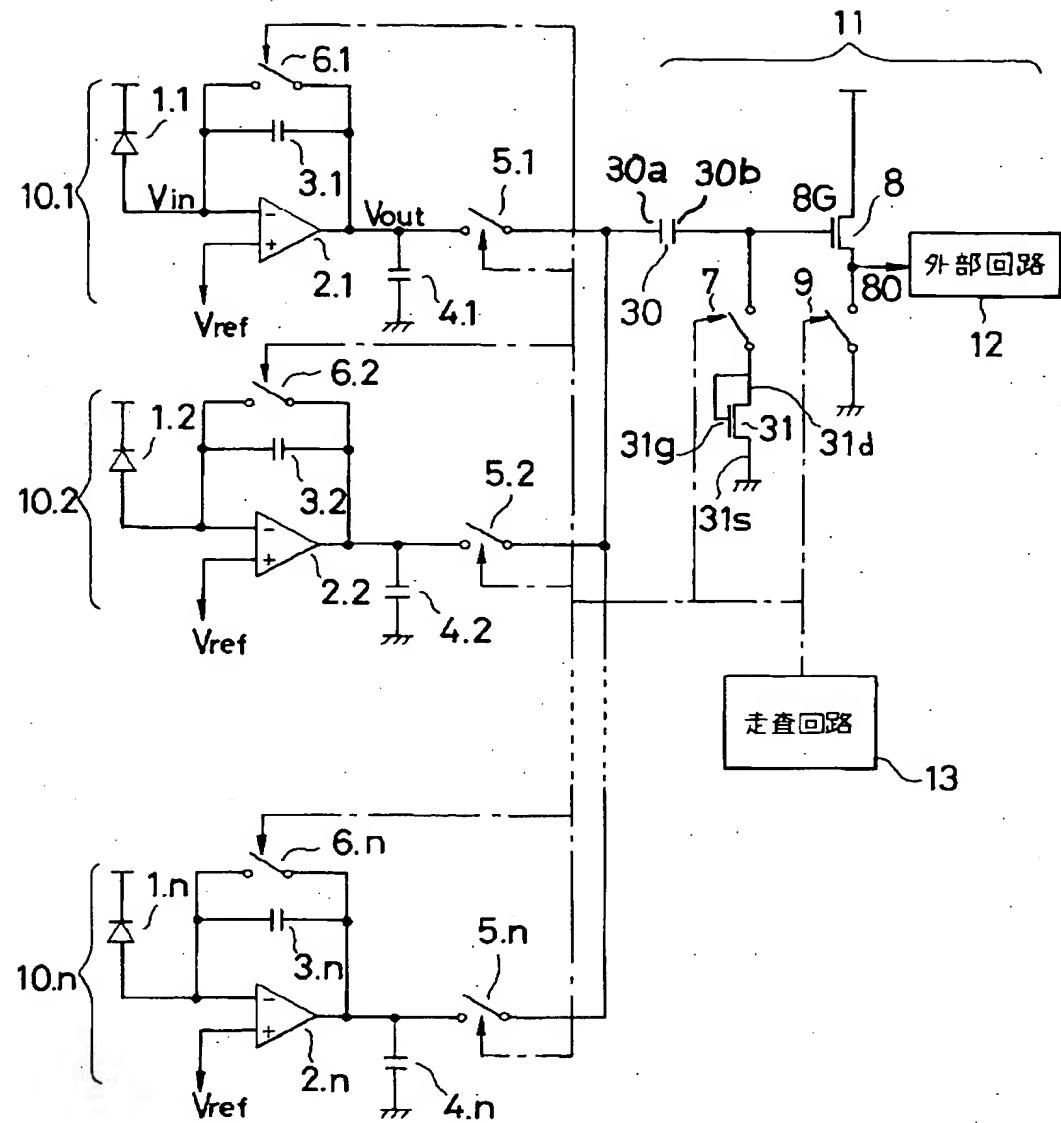
【図16】



【図15】

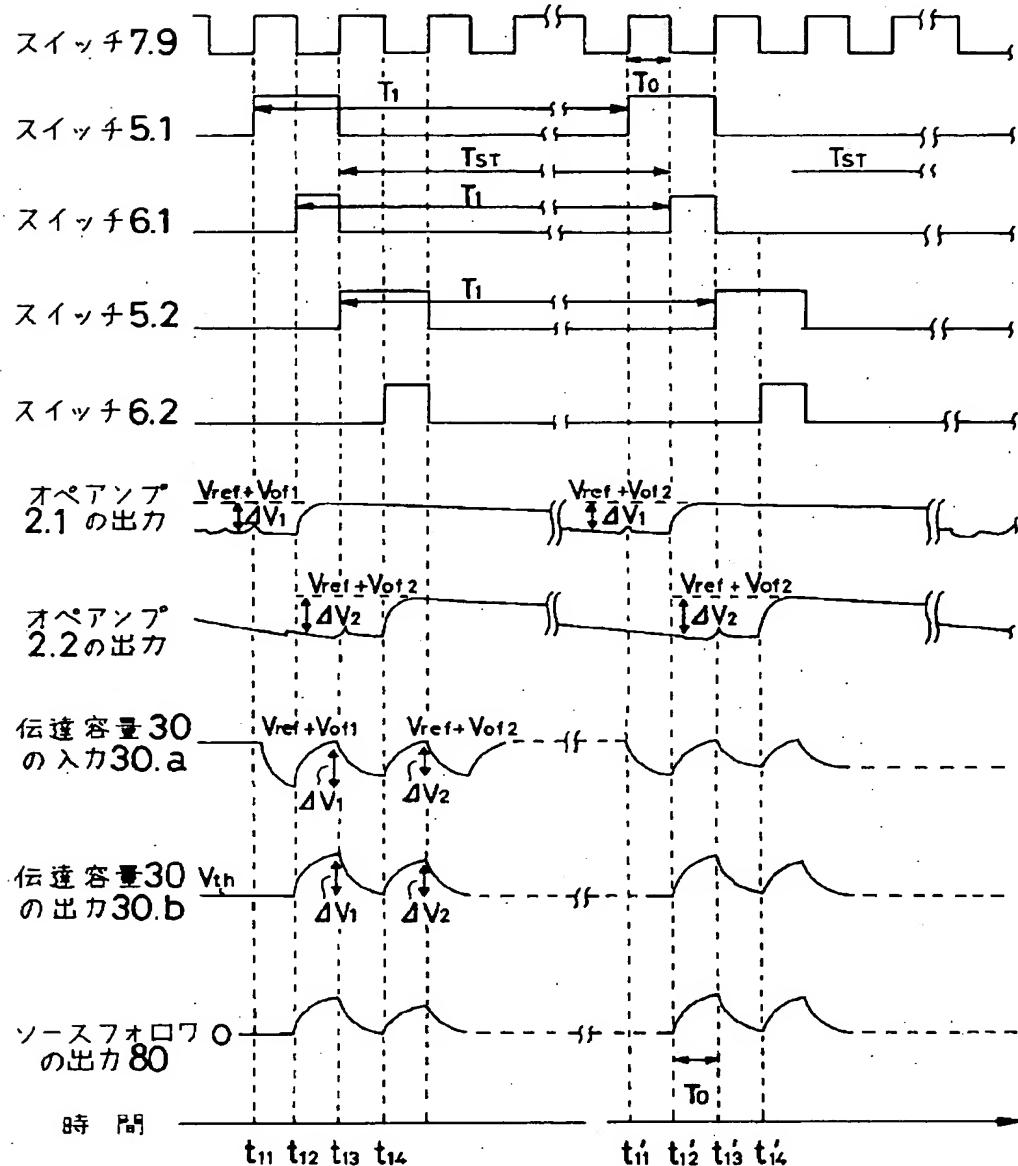


[図7]

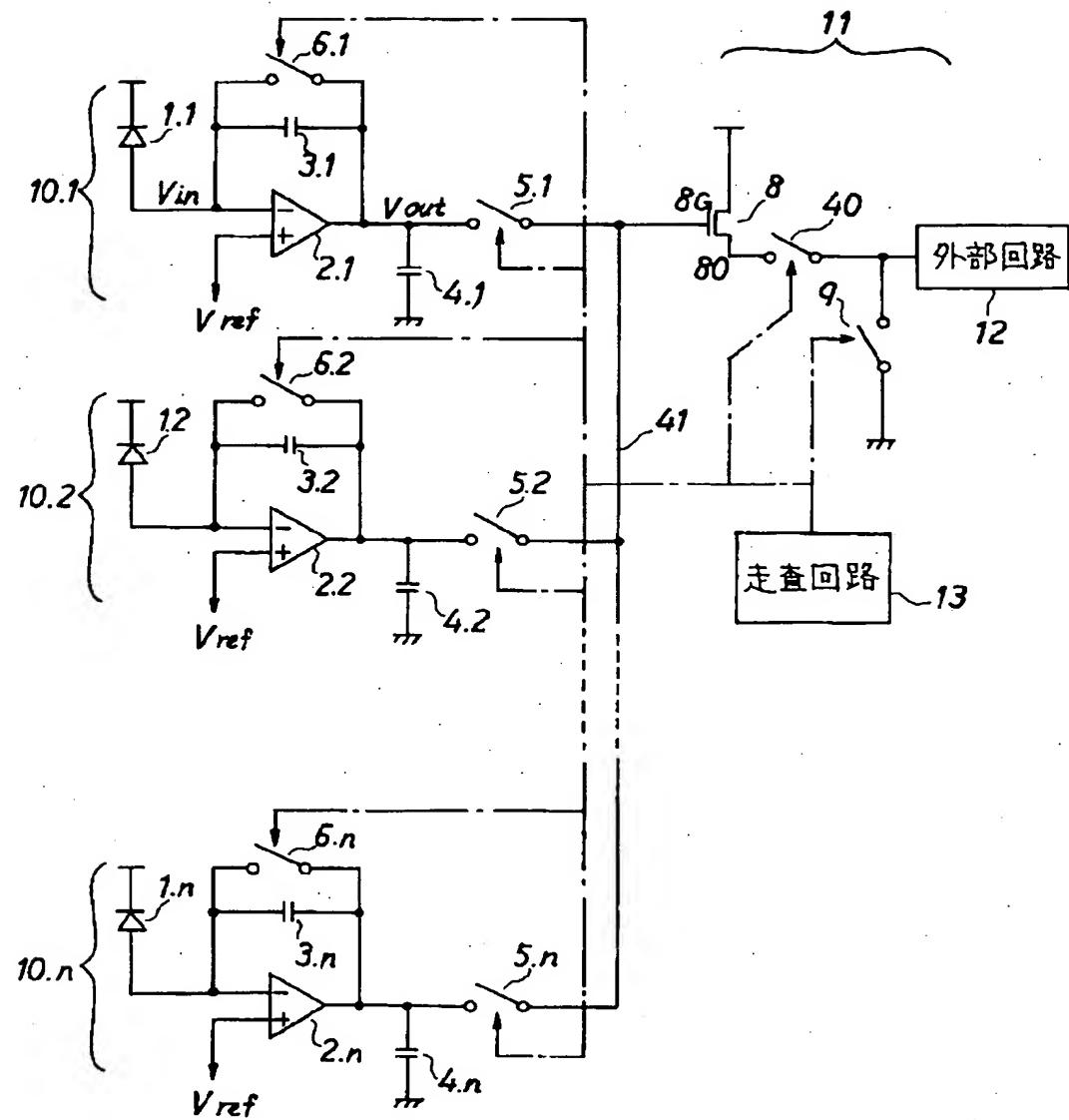


【図8】

(図中スイッチはHがオンを表わす)



【図10】



【図11】

(図中スイッチはHがオンを表わす)

